

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-180013

(43)公開日 平成8年(1996)7月12日

(51) Int.Cl.⁶

G 0 6 F 13/36

識別記号

520 E

片内整理番号

9172-5E

F I

技術表示箇所

審査請求 未請求 請求項の数32 OL (全 11 頁)

(21)出願番号 特願平7-233827

(22)出願日 平成7年(1995)9月12日

(31)優先權主張番号 08/308151

(32)優先日 1994年9月19日

(33)優先権主張国 米国 (US)

(71)出願人 591016172

アドバンスト・マイクロ・ディバイシズ・
インコーポレイテッド

ADVANCED MICRO DEVICES
INCORPORATED

アメリカ合衆国、94088-3453 カリフォルニア州、サニペイル、ピィ・オウ・ボックス・3453、ワン・エイ・エム・ディ・プレイス（番地なし）

(74)代理人 弁理士 深見 久郎 (外3名)

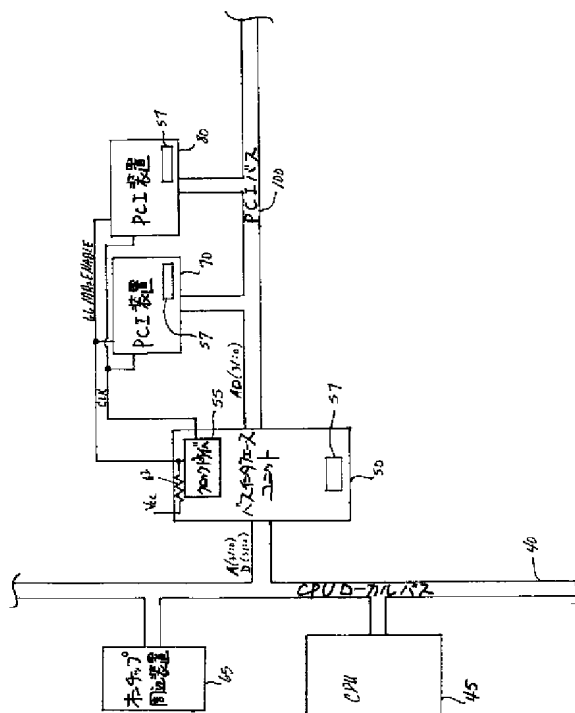
最終頁に続く

(54) 【発明の名称】 コンピュータシステム、ＰＣＩバスクロック信号周波数における変化にตอบสนองしてＰＣＩバス装置のコンフィギュレーションレジスタを再構成する方法、およびＰＣＩバス装置がＰＣＩバスと異

(57) 【要約】

【課題】 PCIバスといった周辺バスのより高いクロック周波数での動作を促進するためのシステムを提供する。

【解決手段】 イネーブルライン（66MHzENABLE）がPCIバス100上に存在する各装置70、80に接続される。装置すべてが高周波数動作（たとえば66MHz）可能ならイネーブルラインはプルアップ抵抗器62を通してプルアップされる。高周波数動作の不可能な装置は、現在の産業界での仕様に従えばイネーブルラインを内部で接地に接続する。したがって、PCI装置70、80すべてが高周波数動作をサポートする場合イネーブルラインはアサートされるが、そうでなければデアサートされる。装置とバス能力との間の不一致をシステムが警告するための専用状態ビットを設けたり、システムのパラメータが変化すれば、コンフィギュレーションレジスタを自動的に再構成してもよい。



【特許請求の範囲】

【請求項 1】 ローカルバスに接続された CPU と、
周辺バスと、
前記ローカルバスおよび前記周辺バスに結合され、前記
ローカルバスと前記周辺バスとの間のデータおよびアド
レス信号の転送を調整するためのバスインタフェースユ
ニットと、
前記周辺バスに結合された周辺バス装置と、
前記周辺バスに接続され、クロック信号ラインを通して
前記周辺バス装置に与えられる周辺バスクロック信号を
特定の周波数で駆動するためのクロックドライバと、
前記周辺バス装置および前記バスインタフェースユニ
ットに接続されたイネーブルラインとを含み、
前記イネーブルラインは前記クロックドライバによりモ
ニタされ、前記クロックドライバが前記周辺バスクロ
ック信号を駆動する周波数は、前記イネーブルラインの状
態に依存する、コンピュータシステム。

【請求項 2】 前記クロックドライバは前記バスインタ
フェースユニットの一部を形成する、請求項 1 に記載の
システム。

【請求項 3】 前記周辺バス装置は前記イネーブルライ
ンを電源電圧に接続するための内部回路を含む、請求項
1 に記載のシステム。

【請求項 4】 内部回路は、周辺バス装置が高周辺バス
クロック信号周波数で動作する能力を示す、請求項 3 に
記載のシステム。

【請求項 5】 前記高周辺バスクロック信号周波数は、
33 MHz よりも高い周波数である、請求項 4 に記載の
システム。

【請求項 6】 前記高周辺バスクロック信号周波数は、
およそ 66 MHz の周波数である、請求項 5 に記載のシ
ステム。

【請求項 7】 前記周辺バスは P C I バスを含む、請求
項 6 に記載のシステム。

【請求項 8】 前記クロックドライバは前記バスクロ
ック信号を最高 66 MHz の周波数で駆動する、請求項 7
に記載のシステム。

【請求項 9】 さらに第 2 の周辺バス装置を含み、前記
第 2 の周辺バス装置は前記イネーブルラインを接地に接
続する内部回路を含む、請求項 3 に記載のシステム。

【請求項 10】 前記第 2 の周辺バス装置の内部回路
は、第 2 の周辺バス装置が高周辺バスクロック信号周波
数で動作する能力がないことを示す、請求項 9 に記載の
システム。

【請求項 11】 前記第 2 の周辺バス装置は比較的低い
クロック信号周波数で動作可能である、請求項 9 に記載
のシステム。

【請求項 12】 前記低いクロック信号周波数は 33 M
Hz に等しいかまたはそれよりも低い、請求項 11 に記
載のシステム。

【請求項 13】 前記クロックドライバは比較的低いク
ロック信号周波数で前記周辺バスクロック信号を駆動す
る、請求項 11 に記載のシステム。

【請求項 14】 ローカルバスに接続された中央処理装
置と、
P C I バスと、
前記ローカルバスおよび前記 P C I バスに結合され、前
記ローカルバスと前記 P C I バスとの間のデータおよび
アドレス信号の転送を調整するためのバスインタフェー
スユニットと、
前記 P C I バスに結合された周辺 P C I バス装置と、
前記 P C I バスに接続され、P C I バス、前記バスイン
タフェースユニット、および前記周辺 P C I バス装置の
能力に基づき少なくとも 2 つの周波数のうち 1 つで P C
I バスクロック信号を駆動するためのクロックドライバ
とを含む、コンピュータシステム。

【請求項 15】 前記 2 つの周波数は低周波数クロック
信号および高周波数クロック信号を含み、もし前記 P C
I バス、前記バスインタフェースユニットおよび前記周
辺 P C I バス装置が高周波数バスクロック信号に対応可
能ならば、前記クロックドライバは前記 P C I バスクロ
ック信号を高周波数でしか駆動しない、請求項 14 に記
載のシステム。

【請求項 16】 前記 P C I バスは、前記クロックドラ
イバ、前記バスインタフェースユニットおよび前記周辺
P C I バス装置に接続された高周波数イネーブルライン
を含む、請求項 15 に記載のシステム。

【請求項 17】 前記高周波数イネーブルラインは、前
記バスインタフェースユニットが高周波数バスクロック
信号に対応可能ならば、前記バスインタフェースユニ
ットにより受動的にハイに引上げられる、請求項 16 に記
載のシステム。

【請求項 18】 前記高周波数イネーブルラインは、も
し前記周辺 P C I バス装置が高周波数バスクロック信号
に対応可能ならば、前記周辺 P C I バス装置により受動
的にアサートされる、請求項 17 に記載のシステム。

【請求項 19】 前記クロックドライバは、もし前記高
周波数イネーブルラインがアサートされれば高周波数 P
C I バスクロック信号を駆動する、請求項 18 に記載の
システム。

【請求項 20】 前記高周波数イネーブルラインは、も
し前記周辺 P C I バス装置が高周波数バスクロック信号
に対応不可能であれば、前記周辺 P C I バス装置により
デアサートされる、請求項 17 に記載のシステム。

【請求項 21】 前記クロックドライバは、もし前記高
周波数イネーブルラインがデアサートされれば低周波数
P C I バスクロック信号を駆動する、請求項 20 に記載
のシステム。

【請求項 22】 前記バスインタフェースユニットおよ
び前記周辺 P C I バス装置は各々、高周波数 P C I バス

3

クロック信号に対応する能力を示す専用ビットを有する状態レジスタを含む、請求項 14 に記載のシステム。

【請求項 23】 前記周辺 P C I バス装置は M I N _ G N T レジスタおよび M A X _ L A T レジスタを含み、これらレジスタのパラメータは P C I バスクロック信号周波数における変化にตอบสนองして修正される、請求項 22 に記載のシステム。

【請求項 24】 M I N _ G N T レジスタおよび M A X _ L A T レジスタのパラメータは、P C I バスクロック信号周波数における変化にตอบสนองして自動的に修正される、請求項 23 に記載のシステム。 10

【請求項 25】 低周波数信号は 0 と 33 M H z との間であり、高周波数信号は 33 M H z と 66 M H z との間である、請求項 15 に記載のシステム。

【請求項 26】 P C I バスクロック信号周波数における変化にตอบสนองして P C I バス装置のコンフィギュレーションレジスタを再構成するための方法であって、

(a) P C I バスクロック信号周波数を判断するステップと、

(b) P C I バスクロック信号周波数が変更されているかどうかを判断するステップと、 20

(c) P C I バスクロック信号周波数における変化にตอบสนองして前記 P C I バス装置のコンフィギュレーションレジスタを再構成するステップとを含む、P C I バス装置のコンフィギュレーションレジスタを再構成するための方法。

【請求項 27】 コンフィギュレーションレジスタは M I N _ G N T および M A X _ L A T レジスタを含む、請求項 26 に記載の方法。

【請求項 28】 P C I バスクロック信号周波数は、P C I バスへの 33 M H z 装置の追加にตอบสนองして、66 M H z から 33 M H z に変更される、請求項 26 に記載の方法。 30

【請求項 29】 装置のクロック速度は専用状態ビットから判断される、請求項 28 に記載の方法。

【請求項 30】 P C I バスクロック信号周波数は、P C I バスからの 33 M H z 装置の除去にตอบสนองして、33 M H z から 66 M H z に変更される、請求項 26 に記載の方法。

【請求項 31】 装置のクロック速度は専用状態ビットから判断される、請求項 30 に記載の方法。 40

【請求項 32】 P C I バス装置が P C I バスと異なる動作速度を有することをオペレータに通知するための方法であって、

(a) P C I バスの動作速度能力を判断するステップと、

(b) 各装置に関する専用状態ビットの状態を検査することにより、P C I バス上に存在する各装置の動作速度能力を判断するステップと、

(c) P C I バスの動作速度能力を各装置の動作速度 50

4

能力と比較するステップと、

(d) P C I バスの動作速度能力と P C I 装置の動作速度能力とが異なれば、オペレータに対し出力信号を発生するステップとを含む、P C I バス装置が P C I バスと異なる動作速度を有することをオペレータに通知する方法。

【発明の詳細な説明】

【0001】

【発明の分野】 本発明は包括的には高速周辺バスをサポートするためのシステムに関する。より特定的には、本発明は周辺バスクロックの動作周波数についての、周辺構成部品の互換性を検査するシステムに関する。本発明はさらに特定の、周辺バス構成部品の動作パラメータを、周辺バスクロックの周波数における変化に基づいて変更する必要があるかどうかを決定するシステムに関する。

【0002】

【関連技術の説明】 図 1 は、マイクロプロセッサ (C P U) 12、システムメモリ 14、ブリッジ/メモリコントローラ 16、およびバスインタフェースユニット 18 を含むコンピュータシステム 10 を示すブロック図である。C P U ローカルバス 20 は、マイクロプロセッサ 12 を、ブリッジ/メモリコントローラ 16 とバスインタフェースおよびアービタユニット 18 とに結合する。システムメモリバス 22 は、システムメモリ 14 をブリッジ/メモリコントローラ 16 に結合する。第 1 の周辺装置 26 と第 2 の周辺装置 28 とは、周辺バス 30 を通してバスインタフェースユニット 18 に結合される。

【0003】 周辺バス 30 は、複数の P C I マスタスレーブ装置をサポートできる高性能 P C I バスを含んでもよい。したがって、周辺装置 26 は、P C I マスタサイクルの間 P C I バスの所有権をアサートできる P C I マスタコントローラを含み得る。P C I マスタ装置 26 は、その他のコンピュータシステムを周辺バス 30 に接続するローカルエリアネットワーク (L A N) 装置を含んでもよく、または周辺バス 30 をその他の周辺バスに接続する拡張バスインタフェースによっても実現可能である。第 2 の周辺装置 28 がまた、周辺バス 30 に結合されて示される。周辺装置 28 は、たとえばディスクコントローラ装置またはオーディオコントローラ装置といった P C I スレーブ装置を含んでもよい。

【0004】 図 1 に示されるマイクロプロセッサ 12 は、モデル 80486 のマイクロプロセッサを含んでもよく、C P U ローカルバス 20 は 80486 型ローカルバスを含むことが可能である。本発明の原理から逸脱せずに、その他の型のマイクロプロセッサおよび/またはローカルバスアーキテクチャを使用してもよい。80486 C P U ローカルバス 20 のさまざまなバスサイクルおよびプロトコルに関する詳細は、当該技術においては周知であり、数多くの刊行物から入手可能であるため、

5

この明細書中では詳しくは説明しない。CPU12、メモリコントローラ16およびPCIバスインタフェースユニット18は従来、別個の集積回路チップ上に製造されている。しかしながら、昨今のコンピュータシステム開発における傾向では、CPUコアは単一の集積プロセッサチップ上でさまざまな周辺装置と組合せられる。例示の集積プロセッサチップは、内部CPUローカルバスと外部PCIバスとの間に高性能のインタフェースを設けるバスブリッジを含む。外部PCIバスへの高性能インタフェースを設けることにより、外部データ転送に関し

て非常に高性能の特性を得ることが可能である。
【0005】バスインタフェースユニット18は、CPUローカルバス20と周辺またはPCIバス30との間に標準インタフェースを提供する。したがって、バスインタフェース装置18は、データ、アドレス、および制御信号の2つのバス間での転送を調整する。PCIバス30は典型的には、多重化されたデータ/アドレスラインを含みバーストモードのデータ転送をサポートする高性能周辺バスを含む。PCIバスに関するさらなる特徴は、オレゴン州ヒルズボロ (Hillsboro) に在するPCIスペシャルインタレストグループ (PCI Special Interest Group) による、1993年4月30日付、「PCIローカルバス仕様 (PCI Local Bus Specification)」の改定版2.0という刊行物に述べられており、その詳細をこの明細書中に引用により援用する。

【0006】「PCIローカルバス仕様」の改定版2.0で述べられているように、PCIバスは、クロック速度が最高33MHzの同期バスを含む。PCIバスクロック信号は典型的には、バスインタフェースユニット18内の回路により発生され、CLKラインを介して、PCIバス上に存在する各装置に伝送される。CLKラインは、PCIバス30における信号ラインのうちの1つを含み得ることを、当業者は理解するだろう。

【0007】最近、本発明の譲受人は、PCIバス仕様を修正して最高66MHzのクロック速度でのバスの動作を認可するよう提案し始めている。このような高速PCIバスを実現する上での問題の1つは、PCI周辺装置、特に過去に開発された装置の中には、66MHzで動作することが完全に不可能なものがあることである。この制限のため、このような周辺装置は66MHz環境では動作不可能かもしれない、さらに、もし66MHzで動作させた場合にはバス全体を誤動作させるかもしれない。したがって、遅い(33MHz)動作を行なっている周辺装置がPCIバス上に存在するかどうかを判断でき、バスの動作を修正してこれらの遅い装置に対応することができるシステムを開発することが望ましいであろう。

【0008】高速バスがインストールされ高速周辺装置のオペレーションおよびコンフィギュレーションレジスタが高速クロック周波数で動作するように設定された後、

6

遅い周辺装置が加えられた場合、別の問題が生じる。このように遅い装置がバスに加えられるというような状況では、バスのクロック速度を減少させねばならず、それに応じていくらかのコンフィギュレーションレジスタを再セットしなければならない。たとえば、MAX_LATおよびMIN_GNTは各PCI周辺装置において必要な内部レジスタであり、周辺装置に関する何らかのタイミング情報を提供する。MIN_GNTはたとえば、装置がそのトランザクションを完了するのに必要な時間の長さを(0.25μ秒周期で)特定する。オレゴン州ヒルズボロに在するPCIスペシャルインタレストグループによる、1993年4月30日付、「PCIローカルバス仕様」改定版2.0を参照されたい。MAX_LATは装置がいかなる頻度でPCIバスへのアクセスを得なければならないかを(これもまた0.25μ秒周期で)特定する。上記刊行物をまた参照されたい。これらのレジスタにおいてセットされる周期の数は、バスの動作速度次第で変化するだろう。同様に、速度の遅い周辺装置がバスから取除かれてバスが高速クロック周波数で動作可能となれば、高速周辺装置のいくらかのレジスタを再プログラムして高速で適切に動作するようにする必要はあるだろう。

【0009】クロック周波数を判断でき、存在する周辺装置に基づいてクロック周波数を変化させて出来る限り最高に設定することができるシステムが開発されれば有利であろう。クロック周波数における変化にตอบสนองしてシステムが周辺装置の必要なレジスタにおける値を自動的に再セットし、オペレータが入力しなくても周辺装置が即時動作可能になるようにできればさらに有利であろう。こういったシステムのこれらおよびその他の利点は容易に明らかであるにもかかわらず、今まで係るシステムは開発されていない。

【0010】

【発明の概要】本発明は、PCIバス上に存在する各装置が高速クロック周波数(たとえば66MHz)で動作できるかどうかを自動的に判断するコンピュータシステムを提供することにより、先行技術の短所および欠陥を克服するものである。いずれかのPCI装置が高速クロック周波数で動作することができなければ、このシステムは自動的にPCIバスクロック信号を標準の低クロック周波数(たとえば33MHz)速度で駆動する。反対に、すべてのPCI装置が高速クロック周波数で動作可能であれば、このシステムはその高周波数でPCIバスクロック信号を動作する。さらに、クロック周波数における変化にตอบสนองして、このシステムは自動的にPCI装置のいくらかのレジスタにおける値を再セットし、新しいクロック周波数での動作ができるようにする。

【0011】本発明は、PCIバスとCPUローカルバスとの間でのアドレスおよびデータ信号の転送を調整するバスインタフェースユニットを含む。バスインタフェ

ースユニットは好ましくは、高周波数イネーブル（好ましい実施例では66MHz ENABLE）ラインの状態によって決まる周波数でPCIバスクロック信号を発生するクロックドライバを含む。66MHz ENABLEラインはプルアップ抵抗器を通して受動的にハイに引上げられる。PCIバス上のすべての装置は66MHz ENABLEライン（PCIバスの一部を形成する）に接続し、これら装置のいずれかがラインをローに駆動してこの特定の装置が低周波数で動作しなければならないことを示すことができる。いずれかのPCI装置により66MHz ENABLEラインがローに駆動された場合、クロックドライバはPCIバスクロック信号を33MHzといた標準クロック周波数で駆動する。反対に、どのPCI装置も66MHz ENABLEラインをローに駆動しなければ、クロックドライバはPCIバスクロック信号を66MHzといた高周波数で駆動する。すべての33MHzの装置は、66MHz ENABLEラインに接続するこれらの装置の出力ピンが内部では接地に接続しているため、66MHz ENABLEラインをローに駆動するだろう。

【0012】PCIバス上に存在する各装置は、さまざまなシステム資源にコンフィギュレーションパラメータを提供する、MIN_GNTおよびMAX_LATを含む、あるコンフィギュレーションレジスタを含む。さらに、PCIバス上に存在する各装置は、専用の66MHz CAPABLEビットを有する状態レジスタを含む。専用状態ビットは、PCI装置が66MHz環境で動作可能かどうかを示す。結果として、各装置はシステムの初期化の間にポーリングされ、PCI装置すべてが66MHz動作をサポートするかどうかを判断できる。システム構成における変化（たとえばPCI装置がPCIバスに追加されたりまたはPCIバスから除去された場合）のためにクロック周波数が変化するだろうとシステムが判断した場合、各PCI装置のコンフィギュレーションレジスタを修正して、新しいクロック周波数での適切な動作を保証することが可能である。

【0013】本発明のその他の目的および利点は、以下の詳細な説明を読み、添付の図面を参照することにより明らかになるであろう。

【0014】本発明にはさまざまな修正形および代替形の可能性があるが、特定の実施例を例示として図面に示し、以下に詳細に説明する。しかしながら、図面および詳細な説明は開示された特定の形式に本発明を制限することを意図するものではなく、反対に、すべての修正形、等価形および代替形は前掲の特許請求の範囲により規定された本発明の精神および範囲の範疇にあることを意図するものである。

【0015】

【発明の説明】図2を参照すれば、好ましい実施例に従い構成されるコンピュータシステムは一般的に、CPU

ローカルバス40に接続された中央処理装置45、オンチップ周辺装置65、PCIバス100、ローカルバス40とPCIバス100との間でデータ、アドレス、および制御信号をインタフェースすることができるバスインタフェースユニット50、ならびにPCIバス100に接続された1つまたはそれ以上の周辺装置70、80を含む。好ましい実施例では、CPU45、オンチップ周辺装置65およびバスインタフェースユニット50はすべて、単一の集積回路上に製造され共通の集積回路パッケージ内に収容される集積プロセッサの一部として提供される。

【0016】好ましい実施例では、CPUコア45は、モデル80486マイクロプロセッサの命令セットをインプリメントし、CPUローカルバス40は、モデル80486型ローカルバスを含む。したがって、好ましい実施例では、CPUローカルバス40は、32ビットのデータラインのセットD[31:0]、32ビットのアドレスラインのセットA[31:0]、および制御ラインのセット（特に図示せず）を含む。しかしながら、本発明の本質から逸脱することなく、CPUコア45をその他の型のマイクロプロセッサの命令セットをインプリメントするように構成可能であるということを認識せねばならない。

【0017】好ましくは、オンチップ周辺ブロック65は、集積プロセッサにおいて実現され得るさまざまな周辺装置を代表する。たとえば、ダイレクトメモリアクセスコントローラ（「DMA」）またはメモリコントローラユニット（「MCU」）といった構成部品を集積プロセッサパッケージの集積部分として含んでもよい。当業者なら理解するように、さまざまな周辺装置を集積プロセッサの一部として設けることができるだろう。

【0018】当業者なら理解するだろうが、バスインタフェースユニット（「BIU」）50は、CPUローカルバス40とPCIバス100との間に標準インタフェースを提供する。したがって、BIU50は、CPUローカルバス40とPCIバス100との間でのデータ、アドレス、および制御信号の転送を調整する。上記のように当業者には周知の通り、好ましくはCPUローカルバス40は、別々のアドレスおよびデータラインを備える80486型ローカルバスを含むが、一方PCIバス100は複数の多重化されたアドレス/データラインAD(31:0)を含む。したがって、当業者が理解するように、BIU50は、好ましくは適切な多重化ユニット（図示せず）を通して、ローカルバス40の32ビットアドレスラインA[31:0]を、PCIバス100上の多重化されたアドレス/データラインAD(31:0)に接続するように機能する。同様に、バスインタフェースユニット50は、ローカルバス40の32ビットデータラインD[31:0]をPCIバス100の多重化されたアドレス/データラインAD[31:0]に直

接続する。好ましくは、バスインタフェースユニット50は、マイクロプロセッサ45と、PCIバス100に結合された装置との間の制御、データ、およびアドレス信号の調整および転送といった周知のインタフェース機能を制御する従来の回路を含む。

【0019】図2に示される本発明の好ましい実施例をさらに参照すれば、好ましくはバスインタフェースユニット50はクロックドライバ回路55および状態レジスタ57を含む。クロックドライバ55は、CLKラインを通してPCIバス100上に存在する各装置に与えられてPCI周辺装置70、80を駆動するPCIバスクロック信号を発生する。付け加えて、クロックドライバ55は、好ましくは高周波数イネーブルライン（好ましい実施例では66MHz ENABLEと称される）に接続する。

【0020】66MHz ENABLEラインは、指定されたPCIコネクタピンで各PCI装置に接続する。好ましくは、PCIコネクタピンは、33MHz装置上では接地として接続される、サイドBピン49を含む。高周波数装置（好ましい実施例では33MHzよりも高周波数で動作可能なすべての装置を指し、66MHz装置と称される）においては、66MHz ENABLEラインは、フローティング状態にされている（すなわち3状態である）。したがって、すべての装置が高周波数装置であれば、66MHz ENABLEラインは、プルアップ抵抗器62を通して受動的にハイに引上げられる。もしいずれかの装置が低速装置（33MHzまたはそれよりも低い周波数で動作する装置であり、この明細書中では33MHz装置と称される）であれば、66MHz ENABLEラインはローに引下げられる。この構成の結果として、66MHz ENABLEラインは、もしPCI装置すべてが66MHz 互換装置を含んでいればアサートされるだろうが、もしPCI装置のうちいずれかが33MHz装置を含んでいればデアサートされるだろう。

【0021】当業者が認識するように、66MHz ENABLEラインおよびCLKラインは、PCIバス100の一部として提供されるだろう。これらのラインは、図2においては単に明瞭化のために、PCIバス100とは別個に示されている。

【0022】状態レジスタ57は、好ましくは16ビットレジスタを含むが、本発明の本質から逸脱することなくその他のサイズのレジスタを使用することも可能である。好ましい実施例では、状態レジスタ57は、特定の装置が66MHz 動作をサポートできるかどうかを示す専用ビット（好ましくはビット6）を含む。

【0023】図2をさらに参照して、2つのPCI周辺装置70、80が示される。しかしながら、所望のとおりまたシステム仕様の定めるとおりに、より多くのまたはより少ない周辺装置を使用してもよいことを理解せ

ねばならない。好ましくは、各周辺装置70、80は、BIU50の状態レジスタと同様に製造され構成された状態レジスタ57を含む。さらに、各周辺装置70、80はそれぞれ、PCIバス100、CLKライン、および66MHz ENABLEラインに接続する。

【0024】図2、3、4を参照してこのシステムの動作を以下に説明する。最初に図2を参照すれば、バスインタフェースユニット50およびPCI周辺装置70、80を含め、PCIバス100の上にある装置各々は、66MHz ENABLEラインに接続する。もしある装置が66MHz 動作をサポートできなければ、66MHz ENABLEラインは内部で接地に接続される。66MHz 動作をサポートできる装置は、66MHz ENABLEラインを駆動しない。したがって、もしすべての装置が66MHz 動作をサポートすれば、66MHz ENABLEラインは、プルアップ抵抗器62を通して受動的にハイに引上げられるだろう。

【0025】クロックドライバ55は、66MHz ENABLEラインに接続し、そのラインの状態を検査する。もし66MHz ENABLEラインがアサートされれば（すなわちハイに引上げられれば）、クロックドライバ55は最高66MHz の周波数でPCIバスクロック信号を駆動する。反対に、もし66MHz ENABLEラインがデアサートされれば（すなわちローに駆動されれば）、クロックドライバ55は最高33MHz の周波数でPCIバスクロック信号を駆動する。このように、好ましい実施例では、クロックドライバ55がPCIバスクロック信号を駆動する速度は、66MHz ENABLEラインの状態に依存する。

【0026】本発明はまた、PCI周辺装置とPCIバスとの間の非互換性を検出するため、およびオペレータにこれら状態に関する通知を行なってオペレータがシステムに修正を施しシステム能力を最大とすることを可能にするための技術を提供する。次に図3を参照すれば、このシステム（たとえばCPU45またはBIU50）は、ステップ102でPCIバス上にある各装置からの専用状態ビットを読出す。好ましくは専用状態ビットは各PCI装置からの状態レジスタ57のビット6を含む。次にステップ104において、このシステムはPCIバスが66MHz 動作をサポートできるかどうかを判断する。もしサポートできれば、ステップ106においてシステムは、PCIバス上にあるすべての装置が66MHz 動作をサポートできることを示す専用状態ビットが、すべてのPCI装置に対しセットされているかどうかを判断する。もしすべての装置が66MHz で動作可能であり、もしPCIバスが66MHz で動作可能であれば、PCIバスは最高66MHz の周波数で動作し（ステップ108）、このことは、好ましい実施例に従えば、図2のハードウェア構成に基づいて自動的に実現されるものである。

【0027】PCIバスは66MHzで動作可能であるが、ステップ106で、少なくとも専用状態ビットのうち1つが、PCIバス上のある装置が66MHz動作をサポートできないと示しているとシステムが判断すれば、ステップ110で、33MHz装置が66MHz PCIバス上に存在することがオペレータに通知される。その特定の装置の識別がまた提供されるだろう。この通知により、オペレータは33MHz装置をPCIバスから取除いて、遅延を最小とし、バスの帯域幅を増大することができる。ステップ116で示されるように、PCIバスは33MHzで動作し、このことは好ましい実施例では図2のハードウェア構成に基づいて自動的に実現されるだろう。

【0028】ステップ104でPCIバスの66MHz動作が不可能であると判断されれば、ステップ112でこのシステムは、専用状態ビットのいずれかがセットされて66MHz装置であることを示しているかどうかを判断する。もしセットされている専用状態ビットがなければ、PCIバスは33MHzで動作する(ステップ116)。反対にもし、1つまたはそれ以上の専用状態ビットがセットされていれば、ステップ114において、33MHzバス上に66MHz装置が存在することがオペレータに通知され、オペレータはもし所望されればより低価格の装置を使用することができ、バスは33MHzで動作される(ステップ116)。

【0029】本発明はまた、PCIバス上に存在する装置における変化に基づいて、PCI装置のコンフィギュレーションレジスタを自動的に修正するための技術を実現する。この技術を実現するための好ましい方法は図4に示され、システムが初期化されるたびに実行される。ステップ202において、このシステム(たとえばCPU45またはBIU50)は、PCIバス上にある各装置からの専用状態ビット(好ましくはビット6)を読出す。ステップ204において、検査を行ないPCIシステムが現在66MHz動作のために構成されているかどうかを判断する。もしこのシステムが66MHz動作のために構成されていれば、ステップ206においてすべてのPCI装置の専用状態ビットが検査され、専用状態ビットすべてがまだセットされているかどうかを判断する。もしセットされていれば、変更は行なわれず、サブルーチンは終了する。しかしながら、専用状態ビットのうち少なくとも1つがセットされていないと判断されれば、このシステムはステップ208において、33MHz動作に対してシステムを再構成するだろう。このことは、好ましくは、MIN_GNTおよびMAX_LATレジスタにおいてセットされた期間を再定義することを含む。その代わりとして、このシステムは、PCIバスクロック周波数における変化に基づいてこれらおよびそ

の他のレジスタの再定義の必要があることを単にオペレータに通知することが可能であろう。

【0030】ステップ204で、このシステムが66MHz動作に対して構成されていないと判断されれば、次にステップ210においてこのシステムは、専用状態ビットがすべてセットされており66MHzでの動作が可能であることを示しているかどうかを判断する。もし専用状態ビットすべてがセットされていなければ、サブルーチンは終了する。反対に、専用状態ビットすべてが現在セットされていれば、ステップ212において、このシステムは66MHz動作のためにPCI装置を再構成する。好ましくは、このことはMIN_GNTおよびMAX_LATレジスタにおいてセットされた期間を再定義することを含む。その代わりとして、このシステムは、PCIバスクロック周波数における変化に基づきこれらおよびその他のレジスタの再定義が必要であることを単にオペレータに通知することが可能であろう。

【0031】上記のとおり本発明の好ましい実施例が示され、説明されているが、本発明の精神から逸脱することなく当業者がその修正を行なうことが可能である。たとえば、好ましい実施例では低クロック信号周波数を33MHzとし、高クロック信号周波数を66MHzと特徴づけている。本発明の原理は、特定の周波数レートにかかわらず低および高周波数クロックで包括的に動作可能ないかなる周辺バスシステムにも応用可能であることが理解されるべきである。さらに、66MHz装置は66MHz ENABLEラインから完全に切断され得ることが注目される。同様に、好ましい実施例では33MHz装置は66MHz ENABLEラインをローに駆動するように構成されているが、このシステムはその代わりとして33MHz装置がイネーブルライン(通常は受動的にローに引下げられる)をハイに駆動するように構成可能であろう。

【図面の簡単な説明】

【図1】周辺バスシステムを実現する、先行技術によるコンピュータシステムの図である。

【図2】本発明の好ましい実施例に従い構成されたPCIバスシステムを実現するコンピュータシステムの図である。

【図3】図2のPCIバスシステムの動作を示すフローチャートの図である。

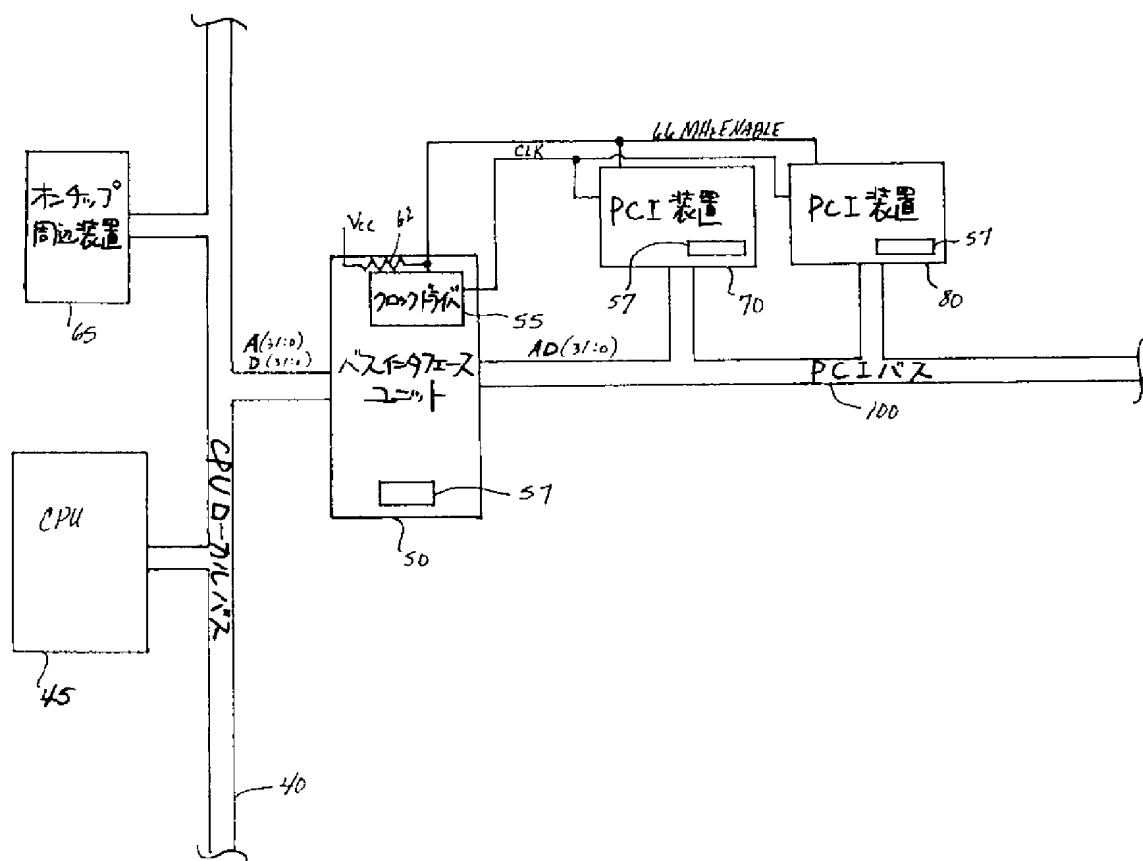
【図4】図2のPCIバスシステムに対する自動構成モードを示すフローチャートの図である。

【符号の説明】

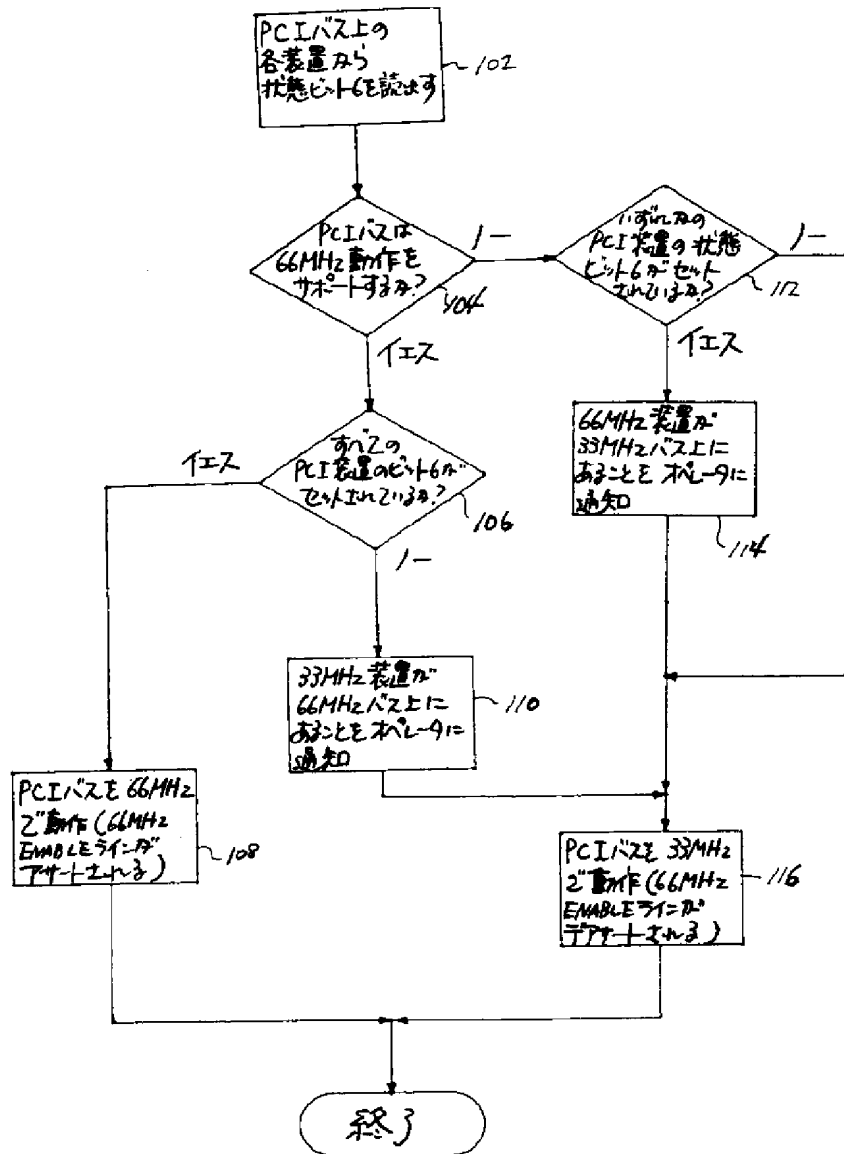
- 40 CPUローカルバス
- 50 バスインタフェースユニット
- 100 PCIバス

Figure 1 is a block diagram of a computer system 10. The system includes a CPU 12 connected to a CPU local bus 20. The CPU local bus 20 is connected to a bus interface/memory controller 16, which is connected to system memory 17. A bus 18 connects the CPU local bus 20 to a bus processor 14. The bus processor 14 is connected to a system bus 30. The system bus 30 connects to two peripheral devices 26 and 28, which are also connected to a clock signal CLK.

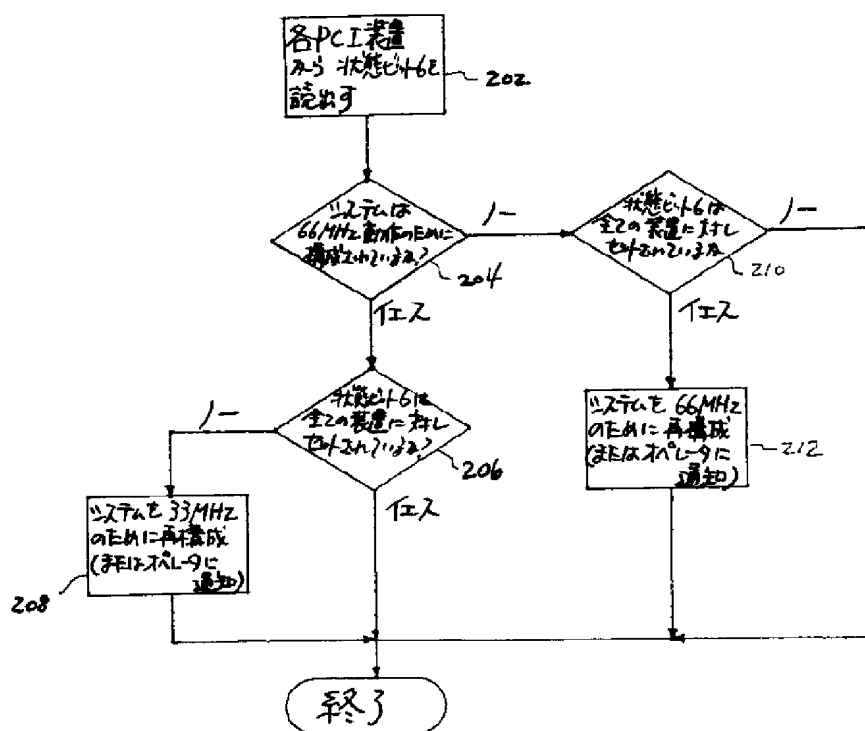
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 シャーマン・リー

アメリカ合衆国、90275 カリフォルニア
州、ランチョ・パロス・ベルデス、シーダ
ーブラフ・ドライブ、28531

(72)発明者 マイケル・ティー・ワイザー

アメリカ合衆国、78744 テキサス州、オ
ースティン、サロマ・プレイス、4608

(54)【発明の名称】 コンピュータシステム、PCIバスクロック信号周波数における変化に応答してPCIバス装置
のコンフィギュレーションレジスタを再構成する方法、およびPCIバス装置がPCIバスと異
なる動作速度を有することをオペレータに通知する方法